



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03048345 A**

**(43) Date of publication of application: 01.03.91**

(51) Int. Cl.

**G06F 12/06**

**(21) Application number: 01183216**

**(22) Date of filing: 14.07.89**

(71) Applicant: **MITSUBISHI ELECTRIC CORP**

(72) Inventor: **ONISHI KENJI**  
**UMEKI TSUNENORI**

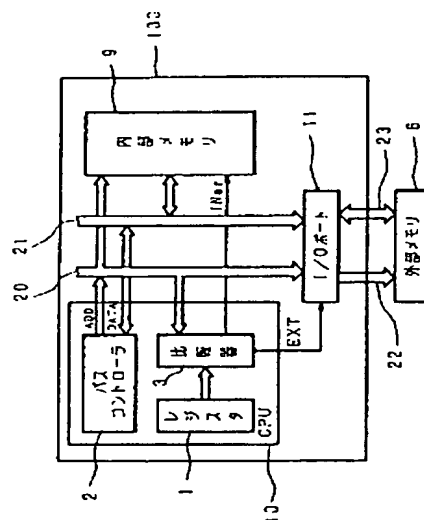
**(54) MICROCOMPUTER**

**(57) Abstract:**

**PURPOSE:** To allow a CPU to access respective memories in accordance with conditions corresponding to respective memories by comparing an address set up in a register with an address outputted from the CPU and deciding whether the memory to be accessed is included in a chip or not.

**CONSTITUTION:** Data relating to the lowermost or uppermost address to be allocated to an internal memory 9 are set up in the register 1. The address based on the data set up in the register 1 is compared with the address outputted from the CPU 10 and whether the address to be accessed is included in the chip or not is decided. Consequently, the internal memory 9 and an external memory 6 can be accessed by access conditions appropriate for respective memories 9, 6 and the allocation of an address to the inside/outside of the memory space optionally is executed by changing data to be set up in the register 1.

**COPYRIGHT: (C)1991,JPO&Japio**



⑨ 日本国特許庁(JP) ⑩ 特許出願公開  
⑪ 公開特許公報(A) 平3-48345

⑫ Int.Cl.<sup>1</sup>  
G 06 F 12/06

識別記号  
515

庁内整理番号  
8841-5B

⑬ 公開 平成3年(1991)3月1日

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 マイクロコンピュータ

⑮ 特 願 平1-183216

⑯ 出 願 平1(1989)7月14日

⑰ 発 明 者 大 西 賢 治 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑱ 発 明 者 梅 木 恒 憲 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称 マイクロコンピュータ

2. 特許請求の範囲

(i) CPU が出力するアドレスによってチップ内部のメモリとチップ外部のメモリとを分別アクセスするようになしてあるマイクロコンピュータにおいて、

内部のメモリに割り付けるべきアドレスに関連するデータが設定されるレジスタと、

該レジスタに設定されたアドレスとCPUが出力するアドレスとを比較してアクセスすべきメモリのチップ内外の別を判定する比較器と

を備えることを特徴とするマイクロコンピュータ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はプログラムを作成し、実行する上での自由度が高いマイクロコンピュータに関する。

(従来の技術)

第4図は従来のマイクロコンピュータ100の構成を示すブロック図である。

チップ内部に備えられた内部メモリ9より大きなメモリ空間を必要とするプログラムを実行させる場合、CPU 10は内部メモリ9及び外部メモリ6をアクセスすることになる。CPU 10にはアドレスバス20及びデータバス21を制御するバスコントローラ2。該バスコントローラ2から出力されたアドレス信号ADD をデコードするデコーダ8が備えられている。デコーダ8によってデコードされたアドレスが第5図に示すように内部メモリエリア91に属する場合、内部メモリ9へのアクセスを有効にする信号IN<sub>0</sub>及びアクセスすべき領域を指示するアドレス信号ADD が内部メモリ9へ入力されて、CPU 10とデータバス21を介してデータDATAが授受されるようになしてある。一方、デコーダ8によってデコードされたアドレスが外部メモリエリア61に属する場合、外部メモリ6へのアクセスを有効にする信号EXT がI/Oポート11へ入力される。該信号EXT がI/Oポート11へ入力されるとCPU

10が出力するアドレス信号ADD はアドレスバス20、I/O ポート11、外部アドレスバス22を介して外部メモリ6へ入力されて、CPU 10とデータバス21、I/O ポート11及び外部データバス23を介してデータDATAが授受されるようになしてある。

第5図において00<sub>16</sub>番地から8F<sub>16</sub>番地までは外部メモリエリア61であり、C0<sub>16</sub>番地からFF<sub>16</sub>番地までは内部メモリエリア91である。プログラムにおいて00<sub>16</sub>番地から8F<sub>16</sub>番地までが指定されているときCPU 10は外部メモリエリア61をアクセスし、C0<sub>16</sub>番地からFF<sub>16</sub>番地までが指定されているとき内部メモリエリア91をアクセスする。

〔発明が解決しようとする課題〕

あるメモリ配置に基づいて作成されたプログラムがCPU がアクセスできるメモリ空間が異なる別のマイクロコンピュータに書込まれた場合、作成時とアクセスすべきメモリの内外の別が異なることが生じ得る。CPU が内部メモリをアクセスする場合と外部メモリをアクセスする場合とではアクセスタイム等のアクセス条件が異なるため、例え

ば内部メモリをアクセスする条件で外部メモリをアクセスするとエラーが発生する。従って一つのプログラムを種々のマイクロコンピュータにロードして実行することは実際には困難である。本発明はこのような問題を解決するためになされたものであって、アクセスすべきメモリがチップ内部又はチップ外部にあることを判定し、CPU が各メモリに応じた条件でアクセスできるマイクロコンピュータの提供を目的とする。

〔課題を解決するための手段〕

本発明のマイクロコンピュータは、内部メモリに割り付けるべきアドレスに関連するデータが設定されるレジスタと、該レジスタに設定されたアドレスとCPU が出力するアドレスとを比較してアクセスすべきメモリがチップ内部にあるのかチップ外部にあるのかを判定する比較器とを備えることを特徴とする。

〔作用〕

本発明のマイクロコンピュータは内部メモリに割り付けるべき最下位又は最上位のアドレスに関

連するデータをレジスタに設定する。該レジスタに設定されたデータに基づくアドレスとCPU が出力するアドレスとを比較してアクセスすべきアドレスがチップ内部であるのかチップ外部であるのかを判断して、内部メモリ及び外部メモリを各メモリに適したアクセス条件でアクセスする。

従って前記レジスタに設定すべきデータの変更により、メモリ空間の内外の割付を任意に行える。  
〔実施例〕

以下本発明をその一実施例を示す図面に基づいて説明する。

第2図は仮想内部メモリエリアを含んだアドレス空間を示す概念図である。図において最下位アドレスXX<sub>16</sub>番地から最上位アドレスFF<sub>16</sub>番地で示されるエリアが仮想内部メモリエリア71である。

本発明のマイクロコンピュータでは仮想内部メモリエリア71の最下位アドレスXX<sub>16</sub>番地は00<sub>16</sub>番地からFF<sub>16</sub>番地までで任意に設定される。00<sub>16</sub>番地を最下位アドレスとする残りのエリアは外部メモリエリア61をアクセスする条件でアクセスされ

るエリアである。

第2図に示すアドレス空間をアクセスする本発明のマイクロコンピュータ100を第1図に示す。

図において10はCPUであり、これには仮想内部メモリエリア71の最下位アドレスXX<sub>16</sub>番地が設定されるレジスタ1、アドレス信号ADD をアドレスバス20へ出力し、データ信号DATAをデータバス21を介して入出力するバスコントローラ2、該バスコントローラ2が出力したアドレス信号ADD をアドレスバス20を介して入力し、それをレジスタ1から入力した最下位アドレスXX<sub>16</sub>番地に相当する信号と比較する比較器3が備えられている。比較器3は両者を比較した結果、バスコントローラ2から出力されるアドレス信号ADD がマイクロコンピュータ100内のメモリに属する場合は内部メモリ9にIN<sub>16</sub>信号を出力し、マイクロコンピュータ100外のメモリに属する場合はEXT信号をI/Oポート11に出力する。内部メモリ9とバスコントローラ2とはアドレスバス20、データバス21を介して接続されている。外部メモリ6は外部アドレス

バス22及び外部データバス23、これらが接続されているI/Oポート11並びに該I/Oポート11に接続されている。アドレスバス20及びデータバス21を介してバスコントローラ2と接続されている。

以上のように構成されたマイクロコンピュータ100においてCPU10は必要に応じてXX<sub>1</sub>番地に関連するデータをレジスタ1に設定する。バスコントローラ2が出力したアドレス信号ADDはアドレスバス20を介して比較器3へ入力される。一方レジスタ1に設定されたXX<sub>1</sub>番地が比較器3へ取り込まれ、これと前記アドレス信号ADDとを比較する。アドレス信号ADDがXX<sub>1</sub>番地からPP<sub>1</sub>番地までに属する場合は、比較器3はIN<sub>1</sub>信号及び前記アドレス信号ADDを内部メモリ9へ出力し、バスコントローラ2とデータバス21を介してデータ信号DATAの授受を行う。アドレス信号ADDが00<sub>1</sub>番地からXX<sub>1</sub>番地までに属する場合は、比較器3はEXT信号をI/Oポート11へ出力する。EXT信号が入力されたI/Oポート11はCPU10から外部メモリ6へのアクセスを有効にし、アドレスバス20を通

して入力された前記アドレス信号ADDを外部アドレスバス22を通して外部メモリ6へ出力する。アドレス信号ADDが入力された外部メモリ6はバスコントローラ2とデータバス21、I/Oポート11、外部データバス23を介してデータ信号DATAの授受を行う。

従ってあるメモリ配置で作成されたプログラムを本発明のマイクロコンピュータ100にロードする場合、そのプログラムに応じた最下位アドレスXX<sub>1</sub>番地に関連するデータをレジスタ1に設定することにより、内部メモリ9、外部メモリ6を各メモリに応じたアクセス条件でアクセスすることができる。

なお、本実施例においては仮想内部メモリエリア71の最上位アドレスPP<sub>1</sub>番地を固定アドレスとして最下位アドレスXX<sub>1</sub>番地をレジスタ1に設定したが、本発明はこれに限るものではなく、最下位アドレスを固定して、最上位アドレスをレジスタ1に設定してもよい。

また最上位アドレス及び最下位アドレスの両ア

ドレスを設定してもよい。

更に本実施例においてはRAM又はROMいずれか1種類の半導体記憶装置を用いる場合としたが、本発明はこれに限るものではなく、RAMとROMとが組合わされた半導体記憶装置であってもよい。この場合第3図に示す如くRAM及びROMの各エリアについて最上位アドレスXX<sub>1</sub>番地及び最下位アドレスYY<sub>1</sub>番地をレジスタ1に設定して仮想内部RAMエリア71a及び仮想内部ROMエリア71bが設定される。

#### (発明の効果)

以上説明したとおり、本発明のマイクロコンピュータは、使用されるCPUがアクセスできるメモリ空間又はプログラムに応じたアドレスに関連するデータをレジスタに設定することによって任意のプログラムを実行しCPUはチップ内部のメモリとチップ外部のメモリとを各メモリに応じたアクセス条件でアクセスすることができ、アクセスタイム等のアクセス条件の違いによるエラー発生はない。従って本発明による場合はプログラムのデ

バッグを任意のマイクロコンピュータによって実行することが可能となる。

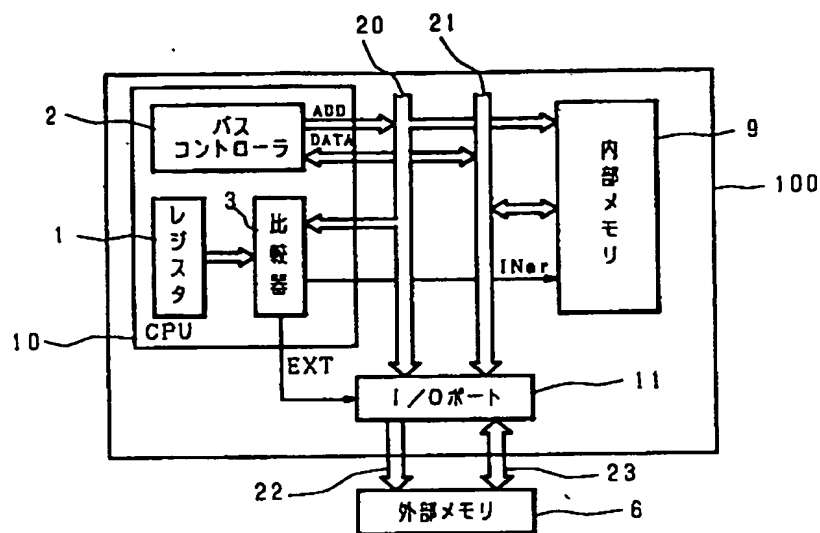
#### 4. 図面の簡単な説明

第1図は本発明に係るマイクロコンピュータの構成を示すブロック図、第2図は本実施例に係るアドレス空間を示す概念図、第3図は本発明に係るマイクロコンピュータの他の実施例のアドレス空間の概念図、第4図は従来のマイクロコンピュータの構成を示すブロック図、第5図は従来のアドレス空間を示す概念図である。

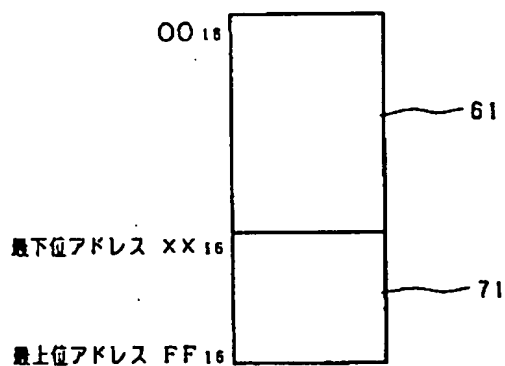
1…レジスタ 3…比較器 6…外部メモリ  
9…内部メモリ 10…CPU 61…外部メモリエリア  
91…内部メモリエリア 100…マイクロコンピュータ

なお、図中、同一符号は同一、又は相当部分を示す。

代理人 大 岩 増 雄

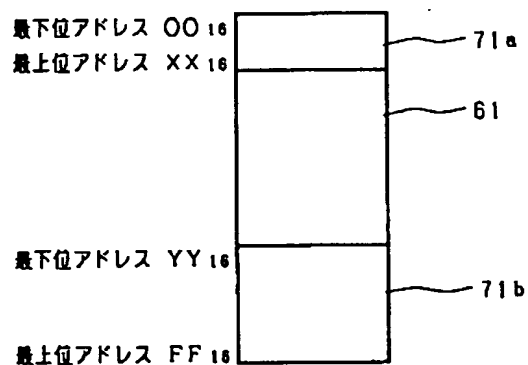


第 1 図

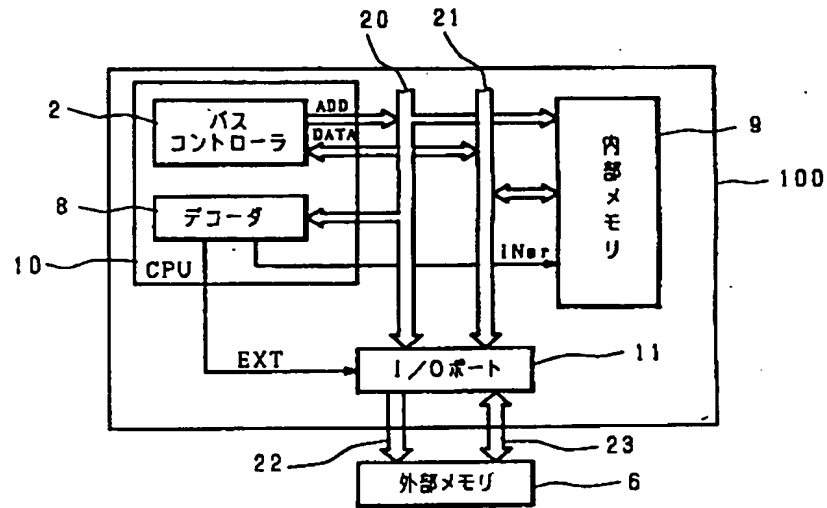


61・・・外部メモリエリア  
71・・・仮想内部メモリエリア

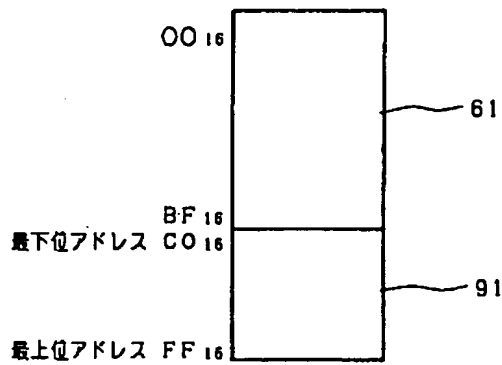
第 2 図



第 3 図



第 4 図



第 5 図

手 続 補 正 書 (自発)

平成 2 年 1 月 22 日



特許庁長官殿

1. 事件の表示

特願 1-183216 号

2. 発明の名称

マイクロコンピュータ

3. 補正をする者

事件との関係 特許出願人  
住 所 東京都千代田区丸の内二丁目2番3号  
名 称 (601)三菱電機株式会社  
代表者 志 岐 守 哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号  
三菱電機株式会社内  
氏 名 (7375)弁理士 大 岩 増 雄  
(連絡先03(213)3421特許部)



方 式 査 査



5. 補正の対象

明細書の「発明の詳細な説明」の欄

6. 補正の内容

(1) 明細書第1頁第18行に「作成し、実行する上での」とあるのを「作成する上での」と訂正する。

(2) 明細書第4頁第2～9行に「従って一つの…(中略)…目的とする。」とあるのを以下の文章に訂正する。

「従ってあるメモリ配置を持つマイクロコンピュータでメモリ配置が異なるマイクロコンピュータが実行するプログラムを作成することは不可能である。本発明はこのような問題を解決するためになされたものであって、CPUがアクセスすべきメモリがチップ内部又はチップ外部にあると判定する領域を任意に変更できるマイクロコンピュータの提供を目的とする。」

(3) 明細書第7頁第6行に「CPU10は」とあるのを削除する。

(4) 明細書第8頁第7～13行に「従ってある…(中略)…ことができる。」とあるのを以下の文

章に訂正する。

「従ってあるメモリ配置を持つマイクロコンピュータの内部メモリエリア91の最下位アドレスXX<sub>1</sub>番地に関連するデータをレジスタ1に設定することにより、仮想内部メモリエリア71、外部メモリエリア61を上記マイクロコンピュータの内部メモリエリア91、外部メモリエリア61と同じにすることができる。」

(5) 明細書第9頁第12行～第10頁第2行に「以上説明したとおり、…(中略)…可能となる。」とあるのを以下の文章に訂正する。

「以上説明したとおり、本発明のマイクロコンピュータはメモリ空間が異なる任意のマイクロコンピュータの内部メモリのアドレスに関連するデータをレジスタに設定することによりCPUがアクセスするメモリ空間を任意のマイクロコンピュータのメモリ空間と同じにすることができる。従って本発明による場合はチップ内部のメモリとチップ外部のメモリのアクセスタイム等のアクセス条件の違いによるエラーが発生することなく任意の

マイクロコンピュータのプログラムのデバッグを行うことが可能である。」

以 上